

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-224228

(43)Date of publication of application : 08.08.2003

(51)Int.Cl.

H01L 23/12  
H01L 23/34  
H01L 25/065  
H01L 25/07  
H01L 25/18

(21)Application number : 2002-023106

(71)Applicant : SHINKO ELECTRIC IND CO LTD

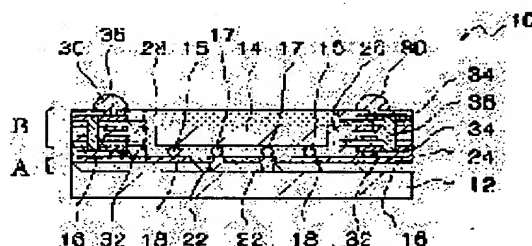
(22)Date of filing : 31.01.2002

(72)Inventor : SHIMADA SEIKI

**(54) PACKAGE FOR SEMICONDUCTOR DEVICE, SEMICONDUCTOR DEVICE AND ITS PRODUCING METHOD****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a thin semiconductor device in which heat dissipation properties are enhanced using a heat spreader of simple structure.

**SOLUTION:** The semiconductor device 10 comprises a heat spreader 12 having one flat surface on which conductor patterns 16, 16,... having connection pads 18, 18,... for a semiconductor element connected electrically with the electrode terminals 15, 15,... of a semiconductor element 14 mounted are formed as a conductor pattern forming layer A, and a frame-like circuit board B having the pads 18, 18,... for external connection terminals formed on one side and bonded to the conductor pattern forming layer A on the other side. The conductor patterns 16, 16,... on the conductor pattern forming layer A are connected electrically with conductor patterns 34, 34,... formed on the circuit board B. The electrode terminals 15, 15,... of the semiconductor element 14 contained in a cavity 26 are connected electrically, by a flip-chip system, with the connection pads 18, 18,... for the semiconductor element exposed to the bottom face of the cavity 26 formed by the conductor pattern forming layer A and the circuit board B.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

**BEST AVAILABLE COPY**

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-224228  
(P2003-224228A)

(43) 公開日 平成15年8月8日 (2003.8.8)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 S 5 F 0 3 6
		23/34	A
23/34		25/08	Z
25/065		23/12	J
25/07			

審査請求 未請求 請求項の数9 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2002-23106 (P2002-23106)

(22) 出願日 平成14年1月31日 (2002.1.31)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舎利田711番地

(72) 発明者 島田 清貴

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(74) 代理人 100077621

弁理士 綿貫 隆夫 (外1名)

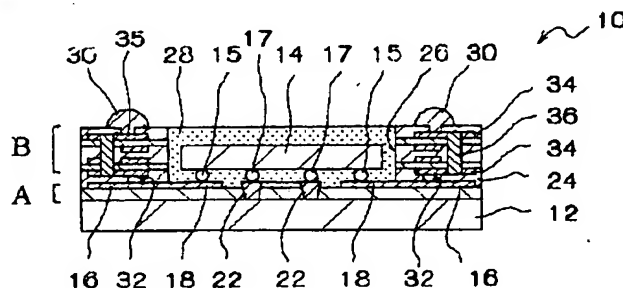
Fターム(参考) 5F036 AA01 BB08 BC05 BD01 BE09

(54) 【発明の名称】 半導体装置用パッケージ並びに半導体装置及びその製造方法

(57) 【要約】

【課題】 簡単な構造の放熱板を用いて放熱性が向上された薄い半導体装置を提供する。

【解決手段】 搭載される半導体素子14の電極端子15、15・・・と電気的に接続される半導体素子用接続パッド18、18・・・を具備する導体パターン16、16・・・が形成された導体パターン形成層Aが、一面側の平坦面上に形成された放熱板12と、一面側に外部接続端子用パッド18、18・・・が形成され、他面側が導体パターン形成層Aに接合された枠状の回路基板Bとから成る半導体装置10であって、導体パターン形成層Aの導体パターン16、16・・・と回路基板Bに形成された導体パターン34、34・・・とが電気的に接続され、導体パターン形成層Aと回路基板Bとから成るキャビティ26の底面に露出する半導体素子用接続パッド18、18・・・に、キャビティ26内に收容された半導体素子14の電極端子15、15・・・がフリップチップ方式で電気的に接続されていることを特徴とする。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項 1】 搭載される半導体素子の電極端子と電気的に接続される半導体素子用接続パッドを具備する導体パターンが形成された導体パターン形成層が、一面側の平坦面上に形成された金属製の放熱板と、

一面側に外部接続端子用パッドが形成され、他面側が前記導体パターン形成層に接合された棒状の回路基板とから成る半導体装置用パッケージであって、

前記導体パターン形成層の導体パターンと回路基板に形成された導体パターンとが電気的に接続され、

前記導体パターン形成層に形成された半導体素子用接続パッドに、半導体素子の電極端子がフリップチップ方式で電気的に接続されたとき、前記半導体素子を収容し得るキャビティが、前記導体パターン形成層と棒状の回路基板とから形成されていることを特徴とする半導体装置用パッケージ。

【請求項 2】 導体パターン形成層に形成された導体パターンと回路基板に形成された導体パターンとの電気的な接続が、前記導体パターン形成層及び回路基板の各接合面に形成された導体パターンの一方に立設されたバンプの先端面が、両接合面を接着する接着剤層を貫通して他方の導体パターンに当接してなされている請求項 1 記載の半導体装置用パッケージ。

【請求項 3】 回路基板の外部接続端子用パッドの形成面側には、キャビティの底面に露出する導体パターン形成層の半導体素子用接続パッドに、電極端子がフリップチップ方式で接続された第 1 半導体素子の背面に、第 2 半導体素子の背面が接合されたとき、前記第 2 半導体素子の電極端子とワイヤボンディングされるワイヤボンディング用接続パッドが形成されている請求項 1 又は請求項 2 記載の半導体装置用パッケージ。

【請求項 4】 放熱板の一面側に形成された導体パターン形成層に半導体素子が搭載されたとき、前記半導体素子と放熱板とを熱的に接続するサーマルヴィアが、前記導体パターン形成層を貫通して形成されている請求項 1 ～ 3 のいずれか一項記載の半導体装置用パッケージ。

【請求項 5】 搭載された半導体素子の電極端子と電気的に接続された半導体素子用接続パッドを具備する導体パターンが形成された導体パターン形成層が、一面側の平坦面上に形成された金属製の放熱板と、

一面側に外部接続端子用パッドが形成され、他面側が前記導体パターン形成層に接合された棒状の回路基板とから成る半導体装置であって、

前記導体パターン形成層に形成された導体パターンと回路基板に形成された導体パターンとが電気的に接続され、

前記導体パターン形成層と回路基板とから成るキャビティの底面に露出する半導体素子用接続パッドに、前記キャビティ内に収容された半導体素子の電極端子がフリップチップ方式で電気的に接続されていることを特徴とす

る半導体装置。

【請求項 6】 導体パターン形成層に形成された導体パターンと回路基板に形成された導体パターンとの電気的な接続が、前記導体パターン形成層及び回路基板の形成された各接合面に形成された導体パターンの一方に立設されたバンプの先端面が、両接合面を接着する接着剤層を貫通して他方の導体パターンに当接してなされている請求項 5 記載の半導体装置用パッケージ。

【請求項 7】 回路基板の外部接続端子用パッドの形成面側には、導体パターン形成層の接続パッドにフリップチップ方式で接続された第 1 半導体素子の背面に接合された第 2 半導体素子の電極端子とワイヤボンディングされたワイヤボンディング用の接続パッドが形成されている請求項 5 又は請求項 6 記載の半導体装置。

【請求項 8】 導体パターン形成層に搭載された半導体素子と放熱板とを熱的に接続するサーマルヴィアが、前記導体パターン形成層を貫通して形成されている請求項 5 ～ 7 のいずれか一項記載の半導体装置。

【請求項 9】 請求項 1 記載の半導体装置用パッケージに形成されたキャビティの底面に露出する、金属製の放熱板の一面側に形成された導体パターン形成層の半導体素子用接続パッドに、半導体素子の電極端子をフリップチップ方式で電気的に接続することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置用パッケージ及び半導体装置に関し、更に詳細には搭載される半導体素子の電極端子とフリップチップ方式で電気的に接続される半導体装置用パッケージ、前記半導体装置用パッケージに半導体素子が搭載された半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】半導体装置には、図 7 に示す半導体装置 100 が用いられている。図 7 に示す半導体装置 100 は、回路基板 104 に形成された導体パターン 106、106・・・のうち、その一面側に形成された導体パターン 106 の接続パッドに半導体素子 108 の電極端子がフリップチップ方式で電気的に接続されている。かかる回路基板 104 の他面側には、その他面側に形成された導体パターン 106 の接続パッドに外部接続端子としてのはんだボール 102、102・・・が設けられている。この様に、回路基板 104 の一面側に搭載された半導体素子 108 は、金属製の放熱板 110 に形成された凹部 112 内に収容され、放熱板 110 の凹部 112 の開口面側が回路基板 104 の一面側に接着剤 116 によって接着されて両者は一体化されている。放熱板 110 の凹部 112 内に収容された半導体素子 108 は、その背面側と凹部 112 の底面との間に、銀等の伝熱性体が配合された伝熱性樹脂 114 が充填され、半導体素子 108

から放熱板110への伝熱性が向上されている。尚、回路基板104の一面側に搭載された半導体素子108の電極端子等は、ポッティング樹脂等によって封止されている。

#### 【0003】

【発明が解決しようとする課題】図7に示す半導体装置100によれば、半導体素子108で発生した熱は、その背面側の伝熱性樹脂114を介して放熱板110に伝熱されて放熱され、半導体素子108の温度上昇を抑制し、熱に因る半導体素子108の誤動作等を防止できる。しかしながら、図7に示す半導体装置100に用いられている放熱板110には、半導体素子108を収容する凹部112を形成することを要し、その製造コストも高くなる。更に、放熱板110には、半導体素子108を収容する凹部112を形成するため、放熱板110の厚さが半導体素子108よりも厚くなるため、半導体装置100も厚くなる。また、図7に示す半導体装置100は、回路基板104に半導体素子108をフリップチップ方式で実装した後、放熱板110を回路基板104に接合することを要し、半導体装置100の製造工程を複雑化する。そこで、本発明の課題は、簡単な構造の放熱板を用いて放熱性が向上された薄い半導体装置を容易に製造し得る半導体装置用パッケージ並びに半導体装置及びその製造方法を提供することにある。

#### 【0004】

【課題を解決するための手段】本発明者は、前記課題を解決すべく検討した結果、半導体素子の電極端子と接続される半導体素子用接続パッドを具備する導体パターンが形成された導体パターン形成層を一面側に形成した放熱板と、一面側に外部接続端子用パッドを形成した枠状の回路基板とを、形成された半導体素子を収容するキャビティの底面に半導体素子用接続パッドが露出するように積層し、両者の導体パターンを電気的に接合した半導体装置用パッケージによれば、両面が平坦面の放熱板を用いることができ、半導体素子の実装が容易で且つ形成された半導体装置の厚さを薄くできることを知り、本発明に到達した。すなわち、本発明は、搭載される半導体素子の電極端子と電気的に接続される半導体素子用接続パッドを具備する導体パターンが形成された導体パターン形成層が、一面側の平坦面上に形成された金属製の放熱板と、一面側に外部接続端子用パッドが形成され、他面側が前記導体パターン形成層に接合された枠状の回路基板とから成る半導体装置用パッケージであって、前記導体パターン形成層の導体パターンと回路基板に形成された導体パターンとが電気的に接続され、前記導体パターン形成層に形成された半導体素子用接続パッドに、半導体素子の電極端子がフリップチップ方式で電気的に接続されたとき、前記半導体素子を収容し得るキャビティが、前記導体パターン形成層と枠状の回路基板とから形成されていることを特徴とする半導体装置用パッケージ

にある。

【0005】また、本発明は、搭載された半導体素子の電極端子と電気的に接続された半導体素子用接続パッドを具備する導体パターンが形成された導体パターン形成層が、一面側の平坦面上に形成された金属製の放熱板と、一面側に外部接続端子用パッドが形成され、他面側が前記導体パターン形成層に接合された枠状の回路基板とから成る半導体装置であって、前記導体パターン形成層に形成された導体パターンと回路基板に形成された導体パターンとが電気的に接続され、前記導体パターン形成層と回路基板とから成るキャビティの底面に露出する半導体素子用接続パッドに、前記キャビティ内に収容された半導体素子の電極端子がフリップチップ方式で電気的に接続されていることを特徴とする半導体装置にある。更に、本発明は、前記半導体装置用パッケージに形成されたキャビティの底面に露出する、金属製の放熱板の一面側に形成された導体パターン形成層の半導体素子用接続パッドに、半導体素子の電極端子をフリップチップ方式で電気的に接続することを特徴とする半導体装置の製造方法でもある。

【0006】かかる本発明において、導体パターン形成層に形成された導体パターンと回路基板に形成された導体パターンとの電気的な接続を、前記導体パターン形成層及び回路基板の各接合面に形成された導体パターンの一方に立設されたバンプの先端面を、両接合面を接着する接着剤層を貫通して他方の導体パターンに当接して行うことが容易である。また、回路基板の外部接続端子用パッドの形成面側には、キャビティの底面に露出する導体パターン形成層の半導体素子用接続パッドに、電極端子がフリップチップ方式で接続された第1半導体素子の背面に、第2半導体素子の背面が接合されたとき、前記第2半導体素子の電極端子とワイヤボンディングされるワイヤボンディング用接続パッドを形成することにより、一個の半導体装置用パッケージに複数個の半導体素子を搭載できる。更に、放熱板の一面側に形成された導体パターン形成層に半導体素子を搭載したとき、前記半導体素子と放熱板とを熱的に接続するサーマルヴィアを、前記導体パターン形成層を貫通して形成することによって、半導体素子で発生した熱を更に迅速に放熱できる。

【0007】本発明によれば、放熱板の一面側の平坦面に形成した、半導体素子用接続パッドを具備する導体パターンが形成された導体パターン形成層と枠状の回路基板とを接合し、底面に半導体素子用接続パッドが露出するキャビティを形成した半導体装置用パッケージを形成する。このため、半導体素子をキャビティに収容してフリップチップ方式で半導体素子の電極端子と半導体素子用接続パッドとを電気的に接続して半導体装置を形成でき、半導体素子を搭載した後、放熱板を装着する操作を省略できる。また、放熱板に搭載する半導体素子を収容

する凹部等を形成することを要せず、両面が平坦な放熱板を用いることができ、放熱板の薄化を図ることができるため、最終的に得られる半導体装置の薄化を図ることができる。更に、この様に両面が平坦な放熱板を用いることができ、半導体素子を收容する凹部が形成された放熱板と比較して、その製造コストの低減も図ることができる。

#### 【0008】

【発明の実施の形態】本発明に係る半導体装置の一例を図1に示す。図1に示す半導体装置10は、銅等の熱伝導性が良好な金属製の両面が平坦な放熱板12の一面側に形成された導体パターン形成層Aと枠状の回路基板Bとが、接着剤層24によって一体に接合されてキャビティ26が形成されている。このキャビティ26内には、半導体素子14が收容されて封止樹脂28によって封止されている。かかる導体パターン形成層Aには、導体パターン16、16・・・が形成されており、各導体パターン16には、キャビティ26に收容された半導体素子14の電極端子15と電気的に接続された半導体素子用接続パッド18が形成されている。更に、導体パターン形成層Aには、搭載された半導体素子14の放熱用端子17、17・・・と一端が接続され、他端が放熱板12に接続されるサマルヴィア22、22・・・が、導体パターン形成層Aを貫通して形成されている。

【0009】この様な放熱板12の一面側に形成された導体パターン形成層Aには、一面側に外部接続端子としてのはんだボール30、30・・・が設けられた回路基板Bの他面側が接着剤層24によって一体に接合されている。また、回路基板Bには、導体パターン34、34・・・が多層に積層されており、導体パターン34、34・・・の相互はスルーホールヴィア36等により電気的に相互に接続されている。この回路基板Bの一面側に形成された最外の導体パターン34には、外部接続端子としてのはんだボール30が設けられた外部接続端子用パッド35が形成されている。かかる導体パターン形成層Aに形成された導体パターン16と回路基板Bに形成された導体パターン34とは、導体パターン形成層Aの一面側と回路基板Bの他面側とを接着する接着剤層24を貫通するバンプ32、32・・・によって、電気的に接続される。従って、キャビティ26に收容され、放熱板12の一面側に形成された半導体素子用接続パッド18に接続された半導体素子14の電極端子15と、回路基板Bの一面側に形成されたはんだボール30とは、導体パターン形成層Aの導体パターン16、バンプ32、回路基板Bの導体パターン34やスルーホールヴィア36等を介して電気的に接続されている。

【0010】図1に示す半導体装置10は、図2(a)に示す様に、放熱板12の一面側に形成された導体パターン形成層Aと、中央部に矩形の貫通穴38が形成された枠状の回路基板Bとが接合されて一体化され、図2

(b)に示す半導体装置用パッケージ40のキャビティ26内に、半導体素子14を收容して形成される。かかる半導体装置用パッケージ40を形成する放熱板12の一面側に形成された導体パターン形成層Aは、図3

(a)に示す様に、両面が平坦面に形成された金属製の放熱板12を用い、その一面側の全面に樹脂層11を形成する[図3(b)の工程]。この樹脂層11のサマルヴィア22、22・・・を形成する個所に、レーザ等により底面に放熱板12の面が露出するヴィア穴22a、22a・・・を形成した後[図3(c)の工程]、ヴィア穴22a、22a・・・の底面及び内壁面を含む樹脂層11の全面に、無電解めっきにより形成した薄銅層上に放熱板12を給電層とする電解めっきにより、銅層16aを形成する[図3(d)の工程]。次いで、銅層16aにフォトリソ法等の公知の方法により、導体パターン16やサマルヴィア22、22・・・のパッド部等を形成する[図3(e)の工程]ことにより、放熱板12の一面側に導体パターン形成層Aを形成できる。尚、必要に応じて図3(b)～(e)の工程を繰り返すことにより、放熱板12の一面側に、複数の導体パターン16が積層された多層の導体パターン形成層Aを形成できる。

【0011】更に、図2(a)に示す導体パターン形成層Aには、回路基板Bと接着する接着剤層24を突き破るバンプ32、32・・・を立設する。このバンプ32、32・・・は、図3(e)で形成した導体パターン形成層A上に、はんだボールやワイヤボンダによるスタッドバンプによって形成できる。かかる導体パターン形成層Aに接合される回路基板Bは、樹脂板の両面に銅箔が接合された両面銅貼板を用い、図4(a)～(c)の工程で形成できる。先ず、複数枚の両面銅貼板の各銅箔に、所望の導体パターン34a等をフォトリソ法等の公知の方法で形成すると共に、中央部に矩形の貫通穴38aを穿設した後[図4(a)の工程]、両面銅貼板の各々に形成した導体パターン34a、34a・・・を接着剤37を介して多層に積層する[図4(b)の工程]。次いで、積層した導体パターン34a、34a・・・を互いに電気的に接続するスルーホールヴィア36、36・・・を形成すべく、スルーホール36a、36a・・・を形成する[図4(c)の工程]。その後、スルーホール36a、36a・・・内に導電性樹脂の充填又はスルーホールめっき等を施し、スルーホールヴィア36、36・・・を形成する。この様にして得られた回路基板Bの外部接続端子用パッド35が形成された面には、外部接続端子用パッド35を除いてソルダレジストを塗布してもよい。

【0012】この様にして形成された放熱板12の一面側に形成された導体パターン形成層Aと回路基板Bとを用い、図1に示す半導体装置10を形成するには、先ず、図2(b)に示す様に、導体パターン形成層Aの導体パターン16と回路基板Bの導体パターン34とをバンプ32によって電気的に接続しつつ、接着剤層24に

よって接合して一体化して半導体装置用パッケージ40を形成する。次いで、この半導体装置用パッケージ40のキャビティ26内に、半導体素子14を収容し、キャビティ26の底面に露出する導体パターン16、16・・に形成された半導体素子用接続パッド18、18・・の各々と半導体素子14の電極端子15、15・・の各々とをフリップチップ方式で電氣的に接合する。同時に、半導体素子14に設けられた放熱用端子17、17・・の各々も、対応するサーマルヴィア22に接合する。その後、キャビティ26内に封止樹脂28をポッティング等により注入し、半導体素子14を樹脂封止して、半導体装置10を形成できる。

【0013】図1に示す半導体装置10では、半導体素子14で発生した熱は、サーマルヴィア22、22・・や導体パターン16等を介して迅速に放熱板12に伝熱され、放熱板12から放熱される。しかも、放熱板12には、搭載する半導体素子14を収容する凹部等を形成することを要せず、両面が平坦な放熱板12を用いることができ、放熱板12の薄化を図ることができる。このため、得られる半導体装置10の薄化を図ることができる。更に、予め放熱板12の一面側に形成された導体パターン形成層Aと回路基板Bとを接合し、底面に半導体素子用接続パッド18、18・・が露出するキャビティ26を形成した半導体装置用パッケージを形成する。このため、半導体素子14をキャビティに収容してフリップチップ方式で半導体素子14の電極端子15、15・・と半導体素子用接続パッド18、18・・とを電氣的に接続して半導体装置を形成できる。したがって、半導体素子を搭載した後、放熱板を装着する操作を省略できたため、両面が平坦な放熱板12を用いることができることと相俟って、半導体装置の製造コストの低減も図ることができる。

【0014】図1に示す半導体装置10では、一個の半導体素子14がキャビティ26内に収容されているが、図5及び図6に示す様に、二個の半導体素子14a、14bがキャビティ26内に収容されていてもよい。かかる半導体素子14a、14bのうち、半導体素子14aは、その電極端子15、15・・や放熱用端子17、17・・は、放熱板12の一面側に形成された導体パターン形成層Aに形成された半導体素子用接続パッド18やサーマルヴィア22にフリップチップ方式で接続されている。一方、半導体素子14bは、その背面が、導体パターン形成層Aに搭載された半導体素子14aの背面側に接着剤44により接合されており、その電極端子は、図5に示す様に、回路基板Bの外部接続端子用パッド35の形成面に形成されたワイヤボンディング用接続パッド46にワイヤ42により電氣的に接続されている。このワイヤボンディング用接続パッド46は、図6に示す様に、回路基板Bのキャビティ26の内壁面に形成した段差面に形成してもよい。また、半導体素子14aの背

面に接合される半導体素子14bとしては、半導体素子14aよりも発熱量の少ない半導体素子を用いることが好ましい。ここで、発熱量が半導体素子14aと同等程度の半導体素子14bを用いる場合には、両者を接合する接着剤44としては、伝熱性が良好な金属粉が配合された伝熱性接着剤を用いることが好ましい。半導体素子14bで発生した熱が半導体素子14aを介して迅速に放熱板12に伝熱され易いからである。尚、図5及び図6に示す半導体装置を構成する部材のうち、図1に示す半導体装置10を構成する部材と同一部材については、図1と同一番号を付して詳細な説明を省略した。

【0015】以上、説明した図1～図6に示す半導体装置や半導体装置用パッケージにおいて、放熱板12の一面側に形成した導体パターン形成層Aと回路基板Bとの導体パターンを電氣的に接続するパンプ32、32・・を導体パターン形成層A側に設けているが、回路基板B側に設けてもよい。また、導体パターン形成層Aには、サーマルヴィア22、22・・を形成しているが、半導体素子14の発熱量が少ない場合には、不要である。

【0016】

【発明の効果】本発明によれば、簡単な構造の放熱板を用いて放熱性が向上された薄い半導体装置を容易に製造することができ、携帯電話等に用いる半導体装置の薄型化等の要請に応えることができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の一例を説明するための概略断面図である。

【図2】図1に示す半導体装置10の製造方法を説明する説明図である。

【図3】図2に示す導体パターン形成層Aの製造工程を説明する工程図である。

【図4】図2に示す回路基板Bの製造工程を説明する工程図である。

【図5】本発明に係る半導体装置の他の例を説明するための概略断面図である。

【図6】本発明に係る半導体装置の一例を説明するための概略断面図である。

【図7】従来の半導体装置を説明するための概略断面図である。

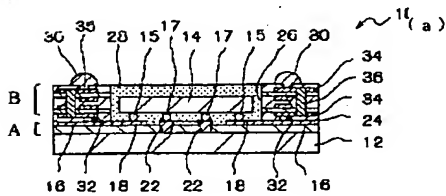
【符号の説明】

- 10 半導体装置
- 12 放熱板
- 14、14a、14b 半導体素子
- 15 電極端子
- 16、34 導体パターン
- 17 放熱用端子
- 18 半導体素子用接続パッド
- 22 サーマルヴィア
- 24 接着剤層
- 26 キャビティ

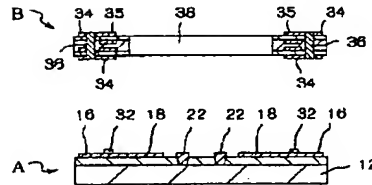
28 封止樹脂  
30 はんだバンプ (外部接続用端子)  
32 バンプ  
35 外部接続端子用パッド  
36 スルーホールヴィア

40 半導体装置用パッケージ  
42 ワイヤ  
46 ワイヤボンディング用接続パッド  
A 導体パターン形成層  
B 回路基板

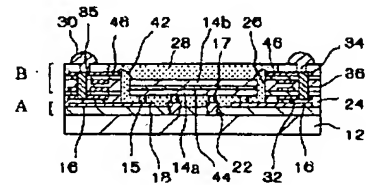
【図1】



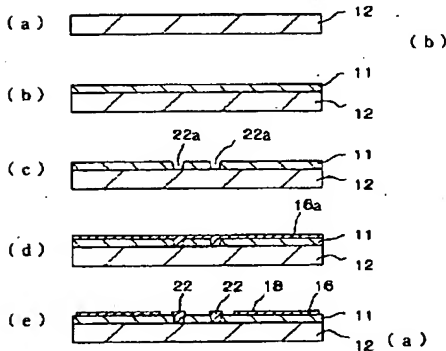
【図2】



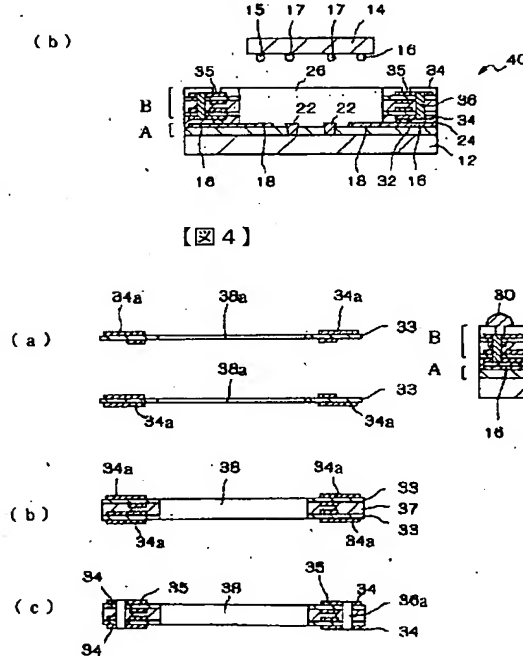
【図5】



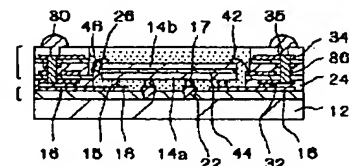
【図3】



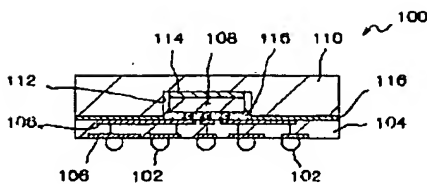
【図4】



【図6】



【図7】





フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F 1

テーマコード(参考)

H 0 1 L 25/18

**Japanese Patent Publication Laid-Open No. 2003-224228**

**[Claim(s)]**

[Claim 1] The metal heat sink by which the conductor pattern formative layer in which the conductor pattern possessing the connection pad for semiconductor devices electrically connected with the electrode terminal of a semiconductor device carried was formed was formed on the flat side by the side of the whole surface, It is the package for semiconductor devices which consists of the circuit board of the shape of a frame by which the pad for external connection terminals was formed in the whole surface side, and the side was joined to said conductor pattern formative layer on the other hand. The conductor pattern of said conductor pattern formative layer and the conductor pattern formed in the circuit board are connected electrically. When the electrode terminal of a semiconductor device is electrically connected to the connection pad for semiconductor devices formed in said conductor pattern formative layer by the flip chip method, The package for semiconductor devices whose cavity which can hold said semiconductor device is characterized by being formed from said conductor pattern formative layer and frame-like circuit board.

[Claim 2] The package for semiconductor devices according to claim 1 which the apical surface of the bump by whom the electric connection between the conductor pattern formed in the conductor pattern formative layer and the conductor pattern formed in the circuit board was set up by one side of the conductor pattern formed in each plane of composition of said conductor pattern formative layer and the circuit board penetrates the adhesives layer which pastes up both planes of composition, and is made in contact with the conductor pattern of another side.

[Claim 3] The package for semiconductor devices according to claim 1 or 2 with which the connection pad for wirebonding by which wirebonding is carried out to the electrode terminal of said 2nd semiconductor device is formed in the forming face side of the pad for external connection terminals of the circuit board when the tooth back of the 2nd semiconductor device is joined to the tooth back of the 1st semiconductor device at which the electrode terminal was connected to the connection pad for semiconductor devices of the conductor pattern formative layer exposed to the base of a cavity by the flip chip method.

[Claim 4] The package for semiconductor devices of claim 1-3 given in any 1 term with which the thermal veer which connects said semiconductor device and heat sink thermally is formed by penetrating said conductor pattern formative layer when a semiconductor device is carried in the conductor pattern formative layer formed in the whole surface side of a heat sink.

[Claim 5] The metal heat sink by which the conductor pattern formative layer in which the conductor pattern possessing the connection pad for semiconductor devices electrically connected with the carried electrode terminal of a semiconductor device was formed was formed on the flat side by the side of the whole surface, It is the semiconductor device which consists of the circuit board of the shape of a frame by which the pad for external connection terminals was formed in the whole surface side, and the side was joined to said conductor pattern formative layer on the other hand. The conductor pattern formed in said conductor pattern formative layer and the conductor pattern formed in the circuit board are connected electrically. The semiconductor device characterized by connecting electrically the electrode terminal of a semiconductor device held in said cavity to the connection pad for semiconductor devices exposed to the base of the cavity which consists of said conductor pattern formative layer and circuit board by the flip chip method.

[Claim 6] The package for semiconductor devices according to claim 5 which a bump's apical surface set up by one side of the conductor pattern with which the electric connection between the conductor pattern formed in the conductor pattern formative layer and the conductor pattern formed in the circuit board was formed in each plane of composition formed in that of said conductor pattern formative layer and the circuit board penetrates the adhesives layer which pastes up both planes of composition, and is made in contact with the conductor pattern of another side.

[Claim 7] The semiconductor device according to claim 5 or 6 with which the connection pad for wirebonding by which wirebonding was carried out to the electrode terminal of the 2nd semiconductor device joined to the tooth back of the 1st semiconductor device connected to the connection pad of the conductor pattern formative layer by the flip chip method is formed in the forming face side of the pad for external connection terminals of the circuit board.

[Claim 8] The semiconductor device of claim 5-7 given in any 1 term with which the thermal veer which connects thermally the semiconductor device carried in the conductor pattern formative layer and a heat sink is formed by penetrating said conductor pattern formative layer.

[Claim 9] The manufacture approach of the semiconductor device characterized by connecting the electrode terminal of a semiconductor device to the connection pad for semiconductor devices of the conductor pattern formative layer formed in the whole surface side of a metal heat sink exposed to the base of the cavity formed in the package for semiconductor devices according to claim 1 electrically by the flip chip method.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device with which the

semiconductor device was carried in the package for semiconductor devices electrically connected with the electrode terminal of a semiconductor device carried in a detail by the flip chip method, and said package for semiconductor devices, and its manufacture approach further about the package for semiconductor devices, and a semiconductor device.

[0002]

[Description of the Prior Art] The semiconductor device 100 shown in drawing 7 is used for the semiconductor device. The semiconductor device 100 shown in drawing 7 is the conductor pattern 106,106 formed in the circuit board 104.. The electrode terminal of a semiconductor device 108 is electrically connected to the connection pad of the conductor pattern 106 formed in inside and the whole surface side by the flip chip method. this circuit board 104 -- on the other hand -- a side -- in addition, the connection pad of the conductor pattern 106 formed in the field side -- the solder ball 102,102 as an external connection terminal .. is prepared. Thus, the semiconductor device 108 carried in the whole surface side of the circuit board 104 is held in the crevice 112 formed in the metal heat sink 110, the effective area side of the crevice 112 of a heat sink 110 pastes the whole surface side of the circuit board 104 with adhesives 116, and both are unified. It fills up with the heat-conducting characteristic resin 114 with which heat-conducting characteristic objects, such as silver, were blended between the bases of a crevice 112 the tooth-back side, and the heat-conducting characteristic of the semiconductor device 108 held in the crevice 112 of a heat sink 110 from a semiconductor device 108 to a heat sink 110 is improving. In addition, the closure of the electrode terminal of a semiconductor device 108 carried in the whole surface side of the circuit board 104 is carried out with potting resin etc.

[0003]

[Problem(s) to be Solved by the Invention] According to the semiconductor device 100 shown in drawing 7 , through the heat-conducting characteristic resin 114 by the side of the tooth back, heat transfer of the heat generated in the semiconductor device 108 is carried out to a heat sink 110, it radiates heat, the temperature rise of a semiconductor device 108 is controlled, and malfunction of the semiconductor device 108 based on heat etc. can be prevented. However, it requires forming the crevice 112 in which a semiconductor device 108 is held in the heat sink 110 used for the semiconductor device 100 shown in drawing 7 , and the manufacturing cost also becomes high. Furthermore, since the thickness of a heat sink 110 becomes thicker than a semiconductor device 108 in order to form in a heat sink 110 the crevice 112 in which a semiconductor device 108 is held, a semiconductor device 100 also becomes thick. Moreover, after the semiconductor device 100 shown in drawing 7 mounts a semiconductor device 108 in the circuit board 104 by the flip chip method, it requires joining a heat sink 110 to the circuit board 104, and complicates the production

process of a semiconductor device 100. Then, the technical problem of this invention is to provide with a semiconductor device and its manufacture approach the package list for semiconductor devices which can manufacture easily the thin semiconductor device whose heat dissipation nature improved using the heat sink of easy structure.

[0004]

[Means for Solving the Problem] The heat sink which formed in the whole surface side the conductor pattern formative layer in which the conductor pattern which possesses the connection pad for semiconductor devices connected with the electrode terminal of a semiconductor device as a result of inquiring that this invention person should solve said technical problem was formed, A laminating is carried out so that the connection pad for semiconductor devices may be exposed to the base of a cavity in which the semiconductor device formed in the circuit board of the shape of a frame which formed the pad for external connection terminals in the whole surface side is held. According to the package for semiconductor devices which joined both conductor pattern electrically, both sides could use the heat sink of a flat side, knew that thickness of the semiconductor device with which mounting of a semiconductor device was easy with the semiconductor device and was formed could be made thin, and reached this invention. Namely, the metal heat sink by which the conductor pattern formative layer in which the conductor pattern possessing the connection pad for semiconductor devices electrically connected with the electrode terminal of the semiconductor device in which this invention is carried was formed was formed on the flat side by the side of the whole surface, It is the package for semiconductor devices which consists of the circuit board of the shape of a frame by which the pad for external connection terminals was formed in the whole surface side, and the side was joined to said conductor pattern formative layer on the other hand. The conductor pattern of said conductor pattern formative layer and the conductor pattern formed in the circuit board are connected electrically. When the electrode terminal of a semiconductor device is electrically connected to the connection pad for semiconductor devices formed in said conductor pattern formative layer by the flip chip method, The cavity which can hold said semiconductor device is in the package for semiconductor devices characterized by being formed from said conductor pattern formative layer and frame-like circuit board.

[0005] Moreover, the metal heat sink by which the conductor pattern formative layer in which the conductor pattern possessing the connection pad for semiconductor devices electrically connected with the electrode terminal of the semiconductor device in which this invention was carried was formed was formed on the flat side by the side of the whole surface, It is the semiconductor device which consists of the circuit board of the shape of a frame by which the pad for external connection terminals was formed in the whole surface side, and the side

was joined to said conductor pattern formative layer on the other hand. The conductor pattern formed in said conductor pattern formative layer and the conductor pattern formed in the circuit board are connected electrically. It is in the semiconductor device characterized by connecting electrically the electrode terminal of a semiconductor device held in said cavity to the connection pad for semiconductor devices exposed to the base of the cavity which consists of said conductor pattern formative layer and circuit board by the flip chip method. Furthermore, this invention is also the manufacture approach of the semiconductor device characterized by connecting the electrode terminal of a semiconductor device to the connection pad for semiconductor devices of the conductor pattern formative layer formed in the whole surface side of a metal heat sink exposed to the base of the cavity formed in said package for semiconductor devices electrically by the flip chip method.

[0006] In this this invention, it is easy to penetrate the adhesives layer which pastes up both planes of composition for a bump's apical surface set up by one side of the conductor pattern formed in each plane of composition of said conductor pattern formative layer and the circuit board in the electric connection between the conductor pattern formed in the conductor pattern formative layer and the conductor pattern formed in the circuit board, and to carry out in contact with the conductor pattern of another side. Moreover, when the tooth back of the 2nd semiconductor device is joined to the tooth back of the 1st semiconductor device at which the electrode terminal was connected to the connection pad for semiconductor devices of the conductor pattern formative layer exposed to the base of a cavity by the flip chip method, two or more semiconductor devices can be carried in the package for semiconductor devices of a piece at the forming face side of the pad for external connection terminals of the circuit board by forming the connection pad for wirebonding by which wirebonding is carried out to the electrode terminal of said 2nd semiconductor device. Furthermore, when a semiconductor device is carried in the conductor pattern formative layer formed in the whole surface side of a heat sink, heat can be radiated still more quickly in the heat which generated the thermal veer which connects said semiconductor device and heat sink thermally in the semiconductor device by penetrating and forming said conductor pattern formative layer.

[0007] According to this invention, the conductor pattern formative layer in which the conductor pattern possessing the connection pad for semiconductor devices was formed and the frame-like circuit board which were formed in the flat side by the side of the whole surface of a heat sink are joined, and the package for semiconductor devices in which the cavity which the connection pad for semiconductor devices exposes to a base was formed is formed. For this reason, after holding a semiconductor device in a cavity, connecting electrically the electrode terminal of a semiconductor device, and the connection pad for

semiconductor devices by the flip chip method, being able to form a semiconductor device and carrying a semiconductor device, actuation of equipping with a heat sink is omissible. Moreover, since it cannot require forming the crevice in which the semiconductor device carried in a heat sink is held, but a heat sink with flat both sides can be used and thinning of a heat sink can be attained, thinning of the semiconductor device finally obtained can be attained. Furthermore, a heat sink with flat both sides can be used for this appearance, and reduction of that manufacturing cost can also be aimed at as compared with the heat sink in which the crevice in which a semiconductor device is held was formed.

[0008]

[Embodiment of the Invention] An example of the semiconductor device concerning this invention is shown in drawing 1. The conductor pattern formative layer A by which metal both sides where the copper thermal conductivity of the semiconductor device 10 shown in drawing 1 is good were formed in the whole surface side of the flat heat sink 12, and the frame-like circuit board B are joined to one by the adhesives layer 24, and the cavity 26 is formed. A semiconductor device 14 is held in this cavity 26, and the closure is carried out with closure resin 28. this conductor pattern formative layer A -- conductor patterns 16 and 16 .. is formed and the connection pad 18 for semiconductor devices electrically connected with the electrode terminal 15 of a semiconductor device 14 held in the cavity 26 is formed in each conductor pattern 16. furthermore, the terminals 17 and 17 for heat dissipation of a semiconductor device 14 carried in the conductor pattern formative layer A -- the thermal veers 22 and 22 by which .. and an end are connected and the other end is connected to a heat sink 12 .. penetrates the conductor pattern formative layer A, and it is formed.

[0009] the conductor pattern formative layer A formed in the whole surface side of such a heat sink 12 -- a whole surface side -- the solder balls 30 and 30 as an external connection terminal -- the circuit board B in which .. was prepared -- on the other hand, the side is joined to one by the adhesives layer 24. moreover -- the circuit board B -- conductor patterns 34 and 34 .. carries out a laminating to a multilayer -- having -- \*\*\*\* -- conductor patterns 34 and 34 -- both .. is electrically connected mutually by the through hole veer 36 grade. The pad 35 for external connection terminals with which the solder ball 30 as an external connection terminal was formed is formed in the conductor pattern 34 besides \*\* formed in the whole surface side of this circuit board B. the bumps 32 and 32 by whom the conductor pattern 16 formed in this conductor pattern formative layer A and the conductor pattern 34 formed in the circuit board B penetrate the adhesives layer 24 of the circuit board B which pastes up a side on the other hand the whole surface side of the conductor pattern formative layer A .. connects electrically. Therefore, it holds in a cavity 26 and the electrode terminal 15 of a semiconductor device 14 connected to the connection pad 18 for semiconductor devices

formed in the whole surface side of a heat sink 12 and the solder ball 30 formed in the whole surface side of the circuit board B are electrically connected through the conductor pattern 16 of the conductor pattern formative layer A, the bump 32, and the conductor pattern 34 of the circuit board B and through hole 36 grade.

[0010] As shown in drawing 2 (a), the circuit board B of the shape of a frame by which the rectangular through hole 38 was formed in the conductor pattern formative layer A formed in the whole surface side of a heat sink 12 and a center section is joined and unified, and in the cavity 26 of the package 40 for semiconductor devices shown in drawing 2 (b), the semiconductor device 10 shown in drawing 1 holds a semiconductor device 14, and is formed. As the conductor pattern formative layer A formed in the whole surface side of the heat sink 12 which forms this package 40 for semiconductor devices is shown in drawing 3 (a), both sides form the resin layer 11 all over the whole surface side using the metal heat sink 12 formed in the flat side [the process of drawing 3 (b)]. the thermal viers 22 and 22 of this resin layer 11 -- in the part which forms .. the viers holes 22a and 22a which the field of a heat sink 12 exposes to a base with laser etc. -- after forming .. [the process of drawing 3 (c)] -- Viers holes 22a and 22a .. Copper layer 16a is formed all over the resin layer 11 containing a base and an internal surface on the thin copper layer formed with nonelectrolytic plating with the electrolysis plating which uses a heat sink 12 as an electric supply layer [the process of drawing 3 (d)]. subsequently, copper layer 16a -- FOTORISO -- well-known approaches, such as law, -- a conductor pattern 16 and the thermal viers 22 and 22 -- [the process of drawing 3 (e)] which forms the pad section of .. etc. -- the conductor pattern formative layer A can be formed in the whole surface side of a heat sink 12 by things. In addition, two or more conductor patterns 16 can form in the whole surface side of a heat sink 12 the multilayer conductor pattern formative layer A by which the laminating was carried out by repeating the process of drawing 3 (b) - (e) if needed.

[0011] furthermore, the bumps 32 and 32 who break through the adhesives layer 24 to paste up with the circuit board B to the conductor pattern formative layer A shown in drawing 2 (a) .. is set up. these bumps 32 and 32 -- it can form by the stud bump by the solder ball or the wire bonder on the conductor pattern formative layer A which formed .. by drawing 3 (e). The circuit board B joined to this conductor pattern formative layer A can be formed in both sides of a resin plate at the process of drawing 4 (a) - (c) using double-sided \*\*\*\*\* to which copper foil was joined. first, each copper foil of double-sided \*\*\*\*\* of two or more sheets -- desired conductor pattern 34a etc. -- FOTORISO -- the conductor patterns 34a and 34a formed in [the process of drawing 4 (a)], and each of double-sided \*\*\*\*\* after drilling rectangular through hole 38a in a center section while forming by well-known approaches, such as law, -- [the process of drawing 4 (b)] which carries out the laminating of .. to a multilayer through



adhesives 37. subsequently, the conductor patterns 34a and 34a which carried out the laminating -- the through hole veers 36 and 36 which connect .. electrically mutually .. it should form -- through holes 36a and 36a -- [the process of drawing 4 (c)] which forms .. then, the through holes 36a and 36a .. inside -- restoration or through-hole plating of conductive resin etc. -- giving -- the through hole veers 36 and 36 .. is formed. Thus, solder resist may be applied to the field in which the pad 35 for external connection terminals of the obtained circuit board B was formed except for the pad 35 for external connection terminals. [0012] Thus, connecting electrically the conductor pattern 16 of the conductor pattern formative layer A, and the conductor pattern 34 of the circuit board B by the bump 32 first, as shown in drawing 2 (b), in order to form the semiconductor device 10 shown in drawing 1 using the conductor pattern formative layer A and the circuit board B which were formed in the whole surface side of the formed heat sink 12, it joins and unifies by the adhesives layer 24, and the package 40 for semiconductor devices is formed. subsequently, the conductor patterns 16 and 16 which hold a semiconductor device 14 in the cavity 26 of this package 40 for semiconductor devices, and are exposed to the base of a cavity 26 -- the connection pads 18 and 18 for semiconductor devices formed in .. the electrode terminals 15 and 15 of each which is ..., and a semiconductor device 14 -- each of .. is electrically joined by the flip chip method. Terminals 17 and 17 for heat dissipation prepared in the semiconductor device 14 at coincidence .. Each is also joined to the corresponding thermal veer 22. Then, in a cavity 26, closure resin 28 is poured in by potting etc., the resin seal of the semiconductor device 14 is carried out, and a semiconductor device 10 can be formed.

[0013] the heat generated by the semiconductor device 14 in the semiconductor device 10 shown in drawing 1 -- the thermal veers 22 and 22 -- heat transfer is quickly carried out to a heat sink 12 through .. and conductor pattern 16 grade, and heat is radiated from a heat sink 12. And it cannot require forming the crevice which holds the semiconductor device 14 to carry in a heat sink 12, but the heat sink 12 with flat both sides can be used, and thinning of a heat sink 12 can be attained. For this reason, thinning of the semiconductor device 10 obtained can be attained. furthermore, the conductor pattern formative layer A and the circuit board B which were beforehand formed in the whole surface side of a heat sink 12 -- joining -- a base -- the connection pads 18 and 18 for semiconductor devices -- the package for semiconductor devices in which the cavity 26 which .. exposes was formed is formed. for this reason, the semiconductor device 14 -- a cavity -- holding -- a flip chip method -- the electrode terminals 15 and 15 of a semiconductor device 14 -- the connection pads 18 and 18 for .. and semiconductor devices .. is connected electrically and a semiconductor device can be formed. Therefore, after carrying a semiconductor device, actuation of equipping with a heat sink can be omitted, it can accumulate, and reduction of the manufacturing cost

of a semiconductor device can also be conjointly aimed at with the ability of the heat sink 12 with flat both sides to be used.

[0014] In the semiconductor device 10 shown in drawing 1 , although the semiconductor device 14 of a piece is held in the cavity 26, as shown in drawing 5 and drawing 6 , two semiconductor devices 14a and 14b may be held in the cavity 26. semiconductor device 14a among these semiconductor devices 14a and 14b -- the electrode terminals 15 and 15 -- the terminals 17 and 17 for .. or heat dissipation -- it connects with the connection pad 18 for semiconductor devices and the thermal veer 22 which were formed in the conductor pattern formative layer A by which .. was formed in the whole surface side of a heat sink 12 by the flip chip method. On the other hand, semiconductor device 14b is joined to the tooth-back side of semiconductor device 14a by which the tooth back was carried in the conductor pattern formative layer A by adhesives 44, and the electrode terminal is electrically connected to the connection pad 46 for wirebonding formed in the forming face of the pad 35 for external connection terminals of the circuit board B by the wire 42, as shown in drawing 5 . This connection pad 46 for wirebonding may be formed in the level difference side formed in the internal surface of the cavity 26 of the circuit board B as shown in drawing 6 . Moreover, as semiconductor device 14b joined to the tooth back of semiconductor device 14a, it is more desirable than semiconductor device 14a to use a semiconductor device with little calorific value. Here, when calorific value uses semiconductor device 14a and semiconductor device 14b of equivalent extent, as adhesives 44 which join both, it is desirable to use the heat-conducting characteristic adhesives with which the metal powder with good heat-conducting characteristic was blended. It is because the heat transfer of the heat generated in semiconductor device 14b is easy to be carried out to a heat sink 12 quickly through semiconductor device 14a. In addition, about the same member as the member which constitutes the semiconductor device 10 shown in drawing 1 among the members which constitute the semiconductor device shown in drawing 5 and drawing 6 , the same number as drawing 1 was attached and detailed explanation was omitted.

[0015] as mentioned above, the bumps 32 and 32 who connect electrically the conductor pattern of the conductor pattern formative layer A and the circuit board B which were formed in the whole surface side of a heat sink 12 in the semiconductor device and the package for semiconductor devices which are shown in explained drawing 1 - drawing 6 -- although .. is prepared in the conductor pattern formative layer A side, you may prepare in a circuit board B side. moreover -- the conductor pattern formative layer A -- the thermal veers 22 and 22 -- although .. is formed, it is unnecessary when there is little calorific value of a semiconductor device 14.

[0016]

[Effect of the Invention] According to this invention, the thin semiconductor device whose heat dissipation nature improved using the heat sink of easy structure can be manufactured easily, and it can respond to the request of thin-shape-izing of the semiconductor device used for a cellular phone etc.

[Brief Description of the Drawings]

[Drawing 1] It is an outline sectional view for explaining an example of the semiconductor device concerning this invention.

[Drawing 2] It is an explanatory view explaining the manufacture approach of the semiconductor device 10 shown in drawing 1 .

[Drawing 3] It is process drawing explaining the production process of the conductor pattern formative layer A shown in drawing 2 .

[Drawing 4] It is process drawing explaining the production process of the circuit board B shown in drawing 2 .

[Drawing 5] It is an outline sectional view for explaining other examples of the semiconductor device concerning this invention.

[Drawing 6] It is an outline sectional view for explaining an example of the semiconductor device concerning this invention.

[Drawing 7] It is an outline sectional view for explaining the conventional semiconductor device.

[Description of Notations]

10 Semiconductor Device

12 Heat Sink

14, 14a, 14b Semiconductor device

15 Electrode Terminal

16 34 Conductor pattern

17 Terminal for Heat Dissipation

18 Connection Pad for Semiconductor Devices

22 Thermal Veer

24 Adhesives Layer

26 Cavity

28 Closure Resin

30 Solder Bump (Terminal for External Connection)

32 Bump

35 Pad for External Connection Terminals

36 Through Hole Veer

40 Package for Semiconductor Devices

42 Wire

46 Connection Pad for Wirebonding

A Conductor pattern formative layer

B Circuit board